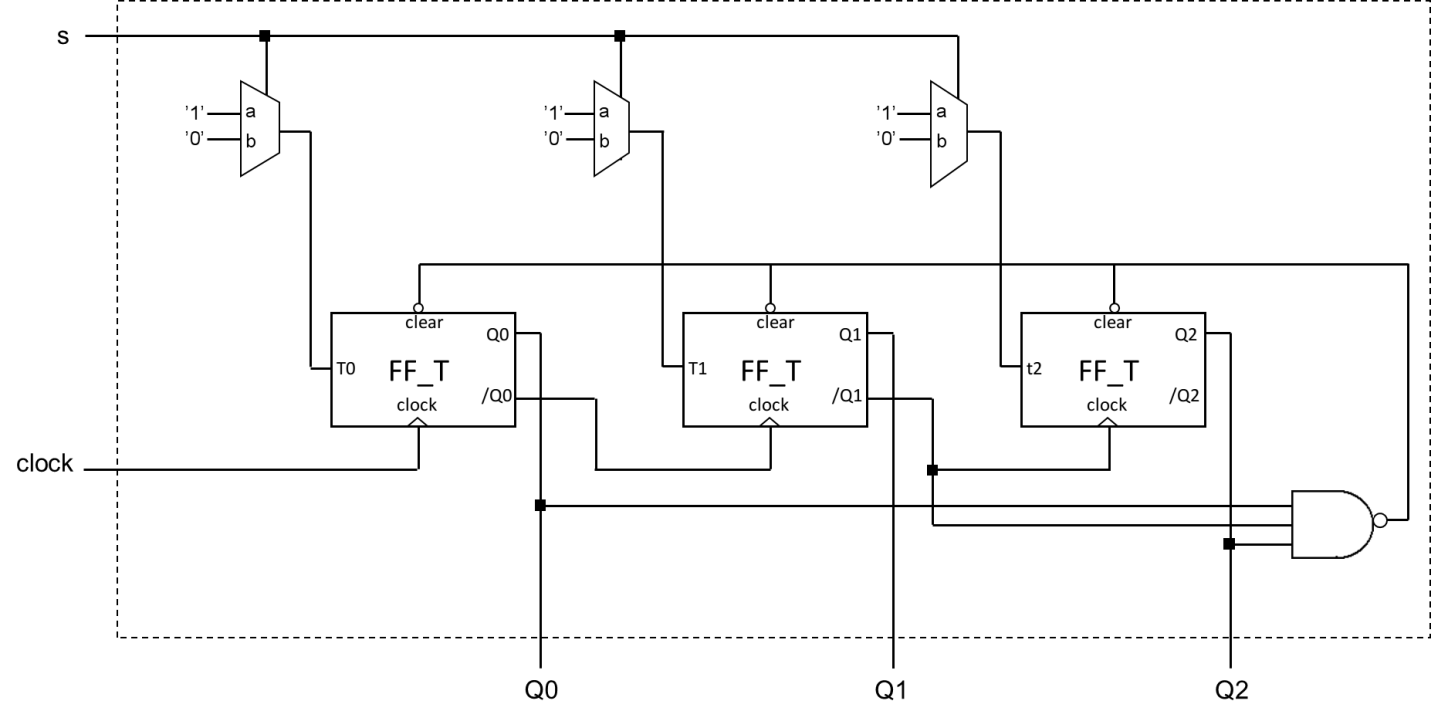
**DISSENY DIGITAL BÀSIC 2021-2022**

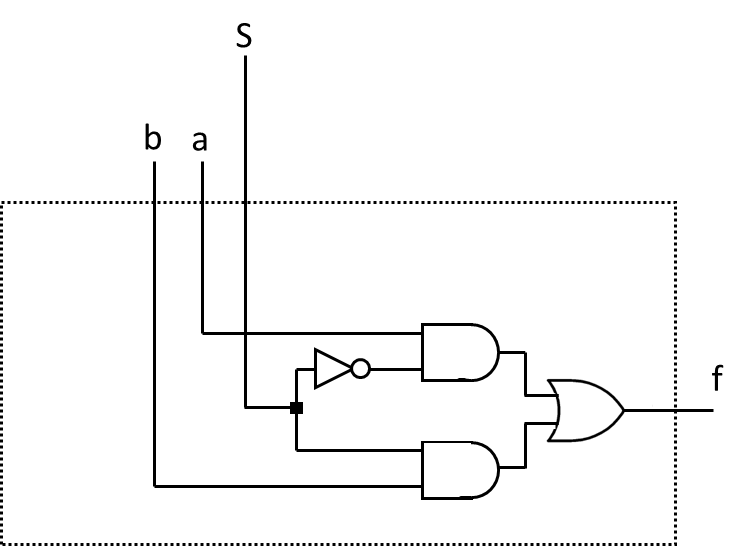
***PRÀCTICA 4: Implementació de sistemes seqüencials i aplicació a circuits lògics - Registres (dies 22,23,24,25,26 de Novembre)***

L’objectiu d’aquesta quarta pràctica és familiaritzar-nos en la implementació i l’ús de sistemes seqüencials i la seva aplicació en circuits lògics. En la part de la pràctica que heu de desenvolupar en el laboratori, implementareu el següent circuit basat en FF\_Ts i multiplexors de 2a1:



On les entrades dels ***Tn*** vindran donades pel canal de selecció ***s***.

Haureu d’implementar els multiplexors fent servir les tres arquitectures que coneixeu (**logicaretard**, **estructural** i **ifthen**). El seu disseny en termes de portes lògiques el teniu a continuació:



**Treball a desenvolupar al laboratori:**

1. Definiu l’entitat **mux2a1**, que és un mulltiplexor de 2 entrades (***a***, ***b***) i un canal de selecció (***s***) i una única sortida (***f***). Implementeu tres arquitectures: una **logicaretard**, una **estructural** i una altra **ifthen**.
2. Definiu l’entitat **FF\_T**, corresponent a un Flip-Flop T, amb entrades T, clock, Clr (corresponents a l’entrada ***T***, al rellotge i al clear, respectivament) i les dues sortides Q i /Q. Afegiu la corresponent arquitectura ifthen per tal que funcioni correctament. Noteu que aquesta vegada us demanem que l’implementeu sense entrada de preset, *Pre*.
3. Definiu una entitat anomenada **circuit4** amb entrades: sel, clock; i amb les sortides: Q2, Q1, Q0. Feu una arquitectura estructural on implementeu el **circuit4**, tal i com es mostra a la figura anterior, fent servir una arquitectura diferent per cadascun dels multiplexors.
4. Escriviu un banc de proves ***bdp\_circuit4*** amb la seva arquitectura ***test\_circuit4*** per tal d’esbrinar el funcionament d’aquest circuit. (no es necessari veure totes les possibles transicions) Què fa aquest circuit? Li podríeu assignar una funcionalitat de les que hem vist a teoria/problemes. Afegiu un comentari a l’inici del programa explicant això.

Haureu de pujar 2 fitxers, SENSE COMPRIMIR, que continguin les següents informacions:

1. Un fitxer amb les entitats i arquitectures **logica** i **logicaretard** de les portes lògiques que heu fet servir, el mux2a1 amb les seves arquitectures i l’entitat i arquitectura del FF\_T. El nom del fitxer serà **P4b\_Cognom1\_Cognom2\_Nom\_portes.vhd**.
2. Un segon fitxer (**P4b\_Cognom1\_Cognom2\_Nom\_circuit4.vhd**) amb el circuit, la seva arquitectura i el banc de proves.

**Aquest treball l’haureu de pujar a través del campus virtual quan acabeu la vostra sessió de pràctiques, abans de l’hora de finalització de la vostra sessió de pràctiques. Els codis enviats fora del termini es corregiran però no s’avaluaran.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**